

DERWENT-ACC-NO: 1999-625196
DERWENT-WEEK: 200001
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Electrode formation procedure in semiconductor device manufacturing method, e.g. DRAM - involves soaking substrate in pure water before removal of natural oxidation film formed on amorphous silicon@ layer surface

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1998JP-0072038 (March 20, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 11274097 A	October 8, 1999	N/A
012	H01L 021/28	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11274097A	N/A	1998JP-0072038
March 20, 1998		

INT-CL (IPC): H01L021/205; H01L021/28 ; H01L021/822 ;
H01L021/8242 ;
H01L027/04 ; H01L027/108

ABSTRACTED-PUB-NO: JP 11274097A

BASIC-ABSTRACT: NOVELTY - The semiconductor substrate is soaked in pure water warmed to 50 deg. C, before removal of natural oxidation film formed on amorphous silicon layer surface substrate.

USE - For HSG-Si electrode formation in manufacture of semiconductor device like DRAM.

ADVANTAGE - Reduces impurity concentration on silicon surface and enables fine

crystal formation with stability on semiconductor substrate
surface by soaking
in pure warm water.

DESCRIPTION OF DRAWING - The figure shows process drawing
of electrode
formation method.

CHOSEN-DRAWING: Dwg.2/12

TITLE-TERMS:

ELECTRODE FORMATION PROCEDURE SEMICONDUCTOR DEVICE
MANUFACTURE METHOD DRAM SOAK
SUBSTRATE PURE WATER REMOVE NATURAL OXIDATION FILM FORMING
AMORPHOUS SILICON@
LAYER SURFACE

DERWENT-CLASS: L03 U11

CPI-CODES: L03-G04A; L04-C11C;

EPI-CODES: U11-C01J2; U11-C06A1B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-182582

Non-CPI Secondary Accession Numbers: N1999-461937

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-274097

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁴

識別記号

F I

H 0 1 L 21/28

H 0 1 L 21/28

A

21/205

21/205

27/04

27/04

C

21/822

27/10

6 2 1 B

27/108

6 2 1 C

審査請求 未請求 請求項の数7 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平10-72038

(22)出願日 平成10年(1998)3月20日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 斎藤 正樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 弁理士 佐藤 隆久

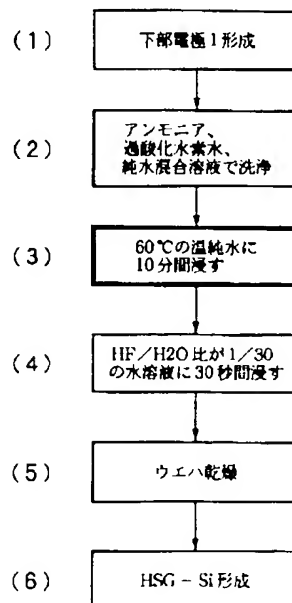
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】DRAM等の半導体装置の製造方法、特に、半導体装置のHSG-Si電極形成方法において、リンドーブ非晶質シリコン表面上に安定して微結晶を形成する方法を提供する。

【解決手段】不純物が添加されている非晶質シリコン層を有する基板の該非晶質シリコン層表面の自然酸化膜を除去する工程と、該基板を加熱処理する工程と、所定の分圧で珪素化合物ガスに前記基板をさらす工程と、および非酸化性ガス雰囲気下で前記基板を加熱処理する工程を有する半導体装置の製造方法において、前記非晶質シリコン層表面の自然酸化膜を除去する工程の前に、前記基板を純水に浸す工程を有する半導体装置の製造方法。

本発明の工程図



【特許請求の範囲】

【請求項1】不純物が添加されている非晶質シリコン層を有する基板の該非晶質シリコン層表面の自然酸化膜を除去する工程と、該基板を加熱処理する工程と、所定の分圧で珪素化合物ガスに前記基板をさらす工程と、および非酸化性ガス雰囲気下で前記基板を加熱処理する工程を有する半導体装置の製造方法において、前記非晶質シリコン層表面の自然酸化膜を除去する工程の前に、前記基板を純水に浸す工程を有する、半導体装置の製造方法。

【請求項2】前記純水は、温度が50℃以上の温純水である、請求項1記載の半導体装置の製造方法。

【請求項3】前記不純物は、リン化合物または砒素化合物である、請求項1記載の半導体装置の製造方法。

【請求項4】前記基板を加熱処理する工程は、該基板を真空中または不活性ガス中において前記基板を加熱処理する工程である、請求項1記載の半導体装置の製造方法。

【請求項5】前記所定の分圧で珪素化合物ガスに前記基板をさらす工程は、分圧値が 1×10^{-3} Torr以下で珪素化合物ガスに前記基板をさらす工程である、請求項1記載の半導体装置の製造方法。

【請求項6】前記所定の分圧で珪素化合物ガスに前記基板をさらす工程は、分圧値が 1×10^{-3} Torr以下で珪素化合物ガスを前記基板に照射する工程である、請求項1記載の半導体装置の製造方法。

【請求項7】前記珪素化合物は、シランまたはジシランである、請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にDRAM等の半導体装置の電極形成方法に関する。

【0002】

【従来の技術】近年、DRAM等の半導体装置の高集積化に伴いセルサイズは縮小し、キャパシタを形成する部分の面積も小さくなっている。そこで、十分な容量を確保するために容量部面積が大きいスタックドキャパシタ等が用いられてきた。

【0003】しかし、半導体装置の集積度が64 Mbit、256 Mbitと増加するに伴い、セル面積はさらに縮小し、これらの構造を用いても容量絶縁膜のさらなる極薄膜化が要求されている。現在実用的には、 SiO_2 、 Si_3N_4 等が容量絶縁膜として用いられているが、これらの絶縁膜の薄膜化の限界は4 nm程度であり、容量絶縁膜の薄膜化だけでセル面積の縮小化の要求に対応することは難しい。

【0004】これを解決する手段として、特開平3-272165号公報には、LPCVD (Low Pressure Chemical Vapor Deposition) 法を用いるシリコン膜の堆積において、シリコン膜の結晶状態が非晶質から多結晶に遷移する温度付近で、半球状の結晶粒（以下、「グレイン」という。）を得る方法が記載されている。そして、このグレインを電極に適用することにより、電極表面にこの凹凸を形成せしめて電極の蓄積電荷量を大幅に増大させることができるものである。しかし、前記公報記載によれば、このグレインに起因する凹凸は特定温度範囲でしか成長させることができない、また、グレインサイズ等の制御が難しいという問題が残った。

【0005】特開平5-304273号公報には、清浄した非晶質シリコン電極表面に、ジシランガス（ Si_2H_6 ガス）を照射して、先ず微結晶核を形成し、この後に、非晶質シリコン表面をマイグレーションするシリコン原子を微結晶核に付着させ、キノコ状のグレインを成長させる方法が記載されている。この方法を用いれば、密度の制御された均一なグレインを電極表面に形成させることができ、グレインサイズの制御が難しいという問題を解決することができる。

【0006】また、1992年の「Solid State Devices and Materials」の422頁には、「Hemispherical Grained Silicon (以下、「HSG-Si」という。) Formation on in situ Phosphorous Doped Amorphous-Si Using the Seeding Method」と題して、グレインサイズ及び密度の制御されたグレインがリンを添加した非晶質シリコン電極上にも形成できる旨が記載されている。この方法は、非晶質シリコン表面に凹凸形成した後に、イオン注入等のグレイン変形を引き起こすような不純物添加処理を施す必要がないという利点がある。

【0007】さらに、「International Electron Devices Meeting」の259頁には、「A New Cylindrical Capacitor Using Hemispherical Grained Si (HSG-Si) for 256 Mb DRAMs」と題して、シリンドリカル構造を有する電極にも微結晶に起因する凹凸を形成できる旨が記載されている。そして、この技術を用いて電極形成することにより、256 MbitのDRAMも製造可能となった。以上のことから、前記特開平5-304273号公報記載の技術は、集積度の高い半導体メモリの電極形成に非常に有効な方法である。

【0008】しかし、上記方法を用いた場合には、リン濃度が 5×10^{20} atoms/cm³を超えた非晶質シリコン上には凹凸が形成できないという問題がある。

これは、膜表面のリン原子が凹凸形成を阻害するためである。また、凹凸の形成は、非晶質シリコンからシリコン原子の供給を受けて進行するため、シリンド電極の側壁等が薄い場合には、個々のグレインを十分に成長させることはできないという問題もある。

【0009】

【発明が解決しようとする課題】一方、特開平8-306646号公報には、リンドーブ或いは不純物が添加されていない非晶質シリコン上に、 1×10^{-3} Torr以下でシランガスを照射して非晶質シリコンを選択的に成長させ、連続的にアニールを施すことにより、非晶質シリコン上に微結晶を成長させて電極表面に凹凸を形成する方法が記載されている。

【0010】図11に、特開平8-306646号公報に記載されたHSG-Si形成の工程フローチャートを示す。即ち、下部電極を形成した後(工程1)、アンモニア、過酸化水素水及び純水の混合溶液で電極表面を洗浄し(工程2)、 $\text{HF}(\text{H}_2\text{O}=1/30)$ の水溶液に30秒間、電極を浸すことにより表面の自然酸化膜を除去し(工程4)、ウェハを乾燥(工程5)、次いでHSG-Siを形成する(工程6)ものである。

【0011】前記工程5は、非晶質シリコンの選択的な成長を行わせることで、電極表面に供給されるシリコン原子を増加させ、球状又は半球状のグレインを安定して形成するものである。この方法は、DRAM等の半導体装置の容量電極形成に適用することが可能となるものであり、グレインを電極に適用することにより、電極に凹凸を形成すれば、電極の蓄積電荷量を大幅に増大させることができる。

【0012】しかし、前記従来法をそのまま用いた場合には、図12に示すように、シランガスの照射時間が長くなると、リンドーブ非晶質シリコンが局所的に結晶化してしまう。従って、連続してアニール処理するときシリコン原子がその部分だけマイグレーションできず、微結晶が形成できないことから、電極表面の一部に凹凸が形成できなくなる。一方、シランガスの照射時間を短くしてしまうと、リンドーブ非晶質シリコン上に形成する微結晶密度が低下してしまい、結果的に電極に形成される凹凸密度が低下するため、蓄積電荷量の向上が図れなくなる。

【0013】なお、図12は、濃度 3×10^{13} atoms/cm³ および 5×10^{13} atoms/cm³ のリンを含む非晶質シリコンに、シランガスを、それぞれ一定時間照射したのち、40分間窒素ガス雰囲気下でアニール処理を行ったときの、シランガス照射時間と電極の容量増加率との関係を示す図である。縦軸が容量増加率、横軸が照射時間である。

【0014】上記従来法において、リンドーブ非晶質シリコン表面上に安定して微結晶を形成することは難しく、リンドーブ非晶質シリコン表面上に安定して微結晶

を形成するには、珪素化合物ガスの照射量、照射時間を微妙にコントロールする必要がある。従って、リンドーブ非晶質シリコン表面上に安定して微結晶を、より簡便かつ効率的に形成する方法の開発が要望されている。

【0015】本発明は、以上の実状に鑑みてなされたものであり、半導体装置の電極形成方法、特に、半導体装置の電極形成方法において、リンドーブ非晶質シリコン表面上に安定して微結晶を形成する方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題を解決するため本発明は、不純物が添加されている非晶質シリコン層を有する基板の該非晶質シリコン層表面の自然酸化膜を除去する工程と、該基板を加熱処理する工程と、所定の分圧で、珪素化合物ガスに前記基板をさらす工程と、非酸化性ガス雰囲気中で前記基板を加熱処理する工程を有する半導体装置の製造方法において、前記非晶質シリコン層表面の自然酸化膜を除去する工程の前に、前記基板を純水に浸す工程を有することを特徴とする半導体装置の製造方法を提供する。

【0017】前記本発明の半導体装置の製造方法において、前記純水は、温度が50℃以上、より好ましくは50～80℃の温純水であるのが好ましい。

【0018】本発明において、前記不純物は、リン化合物または砒素化合物であるのが好ましい。また、不純物の濃度は、 $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³程度が好ましい。

【0019】本発明において、前記基板を加熱処理する工程は、該基板を、好ましくは、真空中(例えば、 1×10^{-3} Torr程度)、又はアルゴン、ヘリウム、窒素ガス等の不活性ガス中において前記基板を加熱処理する工程である。加熱処理温度は、通常、400～700℃程度、好ましくは550℃付近である。

【0020】本発明において、前記所定の分圧で珪素化合物ガスに前記基板をさらす工程は、好ましくは、分圧値が 1×10^{-3} Torr以下で珪素化合物ガスを前記基板に照射する工程である。

【0021】また、前記珪素化合物ガスは、シランガスまたはジシランガスであるのが好ましい。また、前期珪素化合物ガスは、アルゴン、窒素、ヘリウム等の不活性ガスで希釈されていてもよい。

【0022】本発明では、リンドーブ非晶質シリコン表面上に安定して微結晶を形成する方法として、リンドーブ非晶質シリコン表面を温純水で処理し、リンドーブ非晶質シリコン表面上のリン濃度を予め低下させておくとかポイントである。

【0023】従来は、前記特開平8-306646号公報に記載のように、リンドーブ非晶質シリコン表面のリン濃度の制御は、シランガスを照射量及び照射時間を制御しながら照射し、不純物を添加しない非晶質シリコン

を最表面に形成することにより行なわれていた。しかしながら、上述したような理由により、電極表面の一部に凹凸が形成できなくなるという問題や、リンドーブ非晶質シリコン上に形成する微結晶密度が低下してしまうことにより、電極に形成される凹凸密度が低下し、蓄積電荷量の向上量が低下してしまう問題等があり、安定して微結晶を形成することが困難であった。

【0024】本発明によれば、リンドーブ非晶質シリコン表面を、純水、好ましくは、温度が50℃以上の温純水で処理することにより、リンドーブ非晶質シリコン表面上のリン濃度を低下させた後に、前述の特開平8-306646号公報に記載されている電極形成技術を用いることで、より簡便且つ効率よく安定して電極表面に凹凸(HSG-Si)を形成することができる。従って、DRAMやSRAM等の半導体装置電極の蓄積電荷量が安定し、歩留まり及び信頼性を向上させることができる。

【0025】

【発明の実施の形態】以下、本発明の半導体装置の製造方法を詳細に説明する。図1に本発明の半導体製造方法により製造される汎用DRAM(Dynamic Random Access Memory)の断面図を示す。256Mbit以降の汎用DRAMは、キャパシタ面積を得るために単純なスタック構造から、フィンあるいはシリンドラと呼ばれる構造のスタックキャパシタが用いられる。図1中、例えば、105は下部電極、106は誘電体膜、107は上部電極を示す。本発明は、特に下部電極105の形成方法として適用することができる。

【0026】図2に、本発明の製造工程のフローチャートを示す。図2に示すのは、半導体製造工程の内、特にDRAM等の半導体装置の電極形成の工程のフローチャートである。この工程は次の6つの工程からなる。すなわち、

(工程1)リンや砒素等の不純物を、 $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³程度ドーブした非晶質シリコンからなる下部電極1を、フォトリソグラフィとドライエッチングにより形成する工程。

【0027】(工程2)ウエハをアンモニア、過酸化水素及び純水を混合した溶液で洗浄することにより、ウエハ表面の汚染を除去する工程。

【0028】(工程3)ウエハを、純水、好ましくは50℃以上の温純水に5分～20分間浸す工程。

【0029】この工程は、純水、好ましくは50℃以上の温純水でウエハを処理することにより、電極表面のリン、砒素等の不純物を溶出させてリンまたは砒素が添加されている非晶質シリコン層表面近傍のリン又は砒素濃度を低下させるものである。非晶質シリコン層表面近傍のリン又は砒素濃度を低下させることにより、該非晶質シリコン表面上に安定して微結晶を形成することができ

る。

【0030】本発明に用いられる純水はシリコンとの反応性がない。純水は、脱イオン化した高比抵抗のものでかつ水に溶解しない微粒子をフィルターで除去したものが好ましい。また、バクテリアの除去も必要である。このような純水の品質としては、一般に室温で $1.4 \sim 1.8 \text{ M}\Omega \cdot \text{cm}$ の比抵抗を有し、かつ0.2～0.4 μm 以上の微粒子が除去されており、バクテリアの含有量が0～10個/cm³であるものが好ましい。

【0031】また、純水の温度は50℃以上であるのが好ましい。純水の温度が50℃未満であるとリンや砒素の溶出が不十分であり、本発明の効果が十分に発揮されない。

【0032】(工程4)HF/H₂Oの比が1/30のHF(フッ化水素)水溶液に1～10分間浸して、下部電極表面の自然酸化膜を除去する工程。

【0033】(工程5)ウエハを乾燥する工程。

【0034】(工程6)HSG-Siを形成する工程。

この工程は、例えば、LPCVD(Low Pressure Chemical Vapour Deposition)法により、20～100SCCM(cc/min)の珪素化合物ガスを、好ましくは圧力 1×10^{-3} Torr以下で、1分～60分間、ウエハに400～800℃で照射することにより、HSG-Siを形成するものである。ここで、分圧値が 1×10^{-3} Torrを超える場合には、気相中でSiH₄がクラスタ化し、非晶質SiとSiO₂やSi₃N₄との選択性が保てなくなるため好ましくない。

【0035】このHSG-Siを形成する工程は、不純物を含有する非晶質シリコンからなる下部電極表面に、所定の圧力でシラン、ジシラン等の珪素化合物ガスを照射することにより、電極表面にシリコンの微結晶核をつけた後、非酸化性雰囲気下、好ましくは、高真空中でアニールを施すことにより、電極表面に凹凸(HSG-Si)を形成するものである。

【0036】図3に、ジシランガスを用いる前記HSG-Siの成長機構の説明図を示す。まず、ジシランガスを照射することにより非晶質シリコン膜A上にシリコンの微結晶核を成長させる。その後、高真空中でアニールを施すことにより、膜表面にターミネートされた水素原子が脱離し、膜表面のシリコン原子がマイグレーションできるようになる。マイグレーションしたシリコン原子は、ジシランガス照射により成長した微結晶核に集まり、半球状のグレインが形成される。グレインが半球状になる理由は、表面エネルギーが最も小さくなる構造であることと、微結晶核上をシリコン原子がマイグレーションするためである。

【0037】図4にリンをドーブした非晶質シリコン(以下、「PDAS」という。)B上に、シランガスを照射してHSG-Siを形成する場合の成長機構の概略

図を示す。HSG-Siの成長のメカニズムは、前記図3に示したジシランガスを照射してアニールを施す場合と同様に考えられる。

【0038】次に、発明の実施形態により、本発明を更に詳細に説明する。

第1実施形態

第1実施形態は、DRAMの下部電極の製造に本発明を適用した例である。先ず、図5(a)に示すように、P型のシリコン半導体基板201上に選択的にフィールド酸化膜202を形成し、DRAMセルにおけるトランジスタのポリシリコンゲート203(ワード線ともなる)を選択的に形成する。なお、図面では、二つのDRAMセルのためのゲート203がゲート絶縁膜210を介して形成されており、フィールド酸化膜202をマスクにしてN型不純物(リンや砒素)が半導体基板201中に選択的に導入され、各トランジスタのソース/ドレイン領域としての不純物領域208が形成される。この後、シリコン酸化膜やホウ素及び/又はリン含有のシリコン酸化膜(BPSG膜等)204が全面に形成される。

【0039】次に、図5(b)に示すように、ビット線コンタクトホール211が絶縁膜204に形成されて二つのセルの共通領域209の一部が露出される。このコンタクトホール211は、不純物含有のポリシリコン212に埋め込まれ、さらにタンタムシリサイドのような高融点金属シリサイド層213がポリシリコン層212に接触して形成される。かくしてビット線214が形成される。

【0040】次いで、図5(c)に示すように、シリコン酸化膜等の絶縁膜が全面に堆積されて厚い絶縁層215が形成され、キャパシタコンタクトホール216が選択的に形成される。このコンタクトホール216を埋めて絶縁膜215の全面にリントープの非晶質シリコン層が形成され、フォトリソグラフィによりパターンニング後、選択的エッチングによりキャパシタのストレージ用非晶質シリコン電極217が形成される。

【0041】この後、アンモニア、過酸化水素水及び純水を混合した溶液で洗浄することによりウエハ表面の汚染を除去しこのウエハを60℃の温純水にて10分間浸す。これにより、電極表面のリン、砒素等の不純物を溶出させてリンまたは砒素が添加されている非晶質シリコン層表面近傍のリン又は砒素濃度を低下させる。

【0042】引き続きウエハをHF:H₂O:O₂の比が1:3:0の水溶液に30秒間浸し、非晶質シリコン電極表面の自然酸化膜を除去して、ウエハ表面にシリコン膜の領域とシリコン酸化膜の領域とをそれぞれ形成することができる。

【0043】次に、このウエハを530℃に加熱した縦型LPCVD炉に導入する。この装置は、真空ロードロック機構を有しているために、シリコン電極表面が酸化

されることなく、反応チャンバーまで導入できる。また、反応チャンバーの到達真空度は 1×10^{-8} Torr程度であり、このチャンバー内でウエハ温度が安定するまで30分間保持した後に、50SCCM(cc/min)のシランガス(20%ヘリウム希釈)を、0.0006Torrで45分間照射し、連続してチャンバー内で 1×10^{-8} Torrの圧力で40分間真空アニールを施す。以上の操作を行うことにより、図6(d)に示すように、表面に半球状又は球状のシリコンのグレイン成長により、電極218の表面に凹凸が形成されたHSG-Siを形成することができ。

【0044】次いで、図6(e)に示すように、窒素ガス雰囲気中で熱処理を施して、各ストレージ電極218上に熱窒化シリコン膜を含む誘電体膜219を形成する。このときの熱処理により、各電極218の表面のシリコングレインに内部からリンが拡散する。また、シリコン電極218の多結晶化が進む、そして、リントープの多結晶又は非晶質シリコンを堆積させることによりセルプレート電極層220が形成される。その後は、公知所定の後工程により、DRAMを製造することができる。

【0045】以上のようにして形成されたセルプレート電極層は、電極表面のグレインが大きくグレインバウンダリ(結晶粒界)の少ない多結晶シリコン膜からなっており、電荷蓄積容量が大幅に増加している。

【0046】第2実施形態

第2実施形態は、シリンドリカ形状の電極を有するDRAMに本発明を適用した例である。先ず、絶縁膜315にキャパシタコンタクトホール311を形成した後、リントープの非晶質シリコン層をコンタクトホール311を埋め込みながら絶縁膜315上に堆積させ、さらにシリコン酸化膜のような絶縁膜を形成してパターンニングする。この結果、図7(a)に示すように、各キャパシタコンタクトホール311が埋め込まれ、その上に絶縁膜311を有する非晶質シリコン層が形成される。

【0047】この後、全面にリントープの非晶質シリコン層を堆積させ、絶縁膜321の上表面が露出するまでエッチバックを行う。そして、絶縁膜321を除去することにより、図7(b)に示すように、各キャパシタのシリンドリカ形状の非晶質シリコン層317が形成される。

【0048】この後、第1実施形態と同様にして、各シリコン層317の表面をクリーニングし、シランガスの照射により比較的厚いリントープの非晶質シリコンを堆積させ、不活性ガス中でアニールを施すことにより、表面が凹凸とされたシリンドリカ形状のシリコン電極318が形成される。

【0049】次いで、誘電体膜319を形成し、その上にセルプレート電極層320を形成する。以上の様にして、小さい占有面積をもって容量値が大きいDRAMを製造することができる。

【0050】第3実施形態

第3実施形態は、本発明の半導体装置の製造方法をSRAM(Static Random Access Memory)の負荷用トランジスタに適用した例を示す。図8～図10にそのプロセスの断面図を示す。

【0051】まず、P型シリコン基板401表面の素子分離領域にLOCOS法を用いて選択酸化処理により素子分離膜402を形成する。次いで、素子分離領域に850℃で熱酸化を行いゲート酸化膜410を形成する。次に、該ゲート酸化膜410の所定の位置に、バッファードフッ化水素酸を用いたウェットエッチング法等により、レジストマスクを用いてコンタクトホール411を開孔する。これらのコンタクトホールがウェットエッチングにより形成できるのは、多少のオーバーエッチングによりこれらのコンタクトホールの口径が多少広くなっても支障がないからである。

【0052】次に、全面にLPCVD法により、in-situ P(リン)-dopedシリコン膜を620℃で堆積させ、N型の多結晶シリコン膜を形成する。続いて、スパッタリング法によりタングステンシリサイド膜を堆積する。次いで、これらの積層膜は、レジストをマスクとしたドライエッチング処理によりパターンニングされ、ゲート電極403を形成する。ゲート電極403は、それぞれコンタクトホール411を介してP型シリコン基板401表面に接続している。このとき、例えば、コンタクトホール411におけるゲート電極403の先端とゲート酸化膜410とのオーバーラップマージンは、0.1μm程度である。

【0053】次いで、フィールド酸化膜402とゲート電極403とをマスクにした砒素のイオン注入により、P型シリコン基板401の表面にN型拡散層408を形成する。このN型拡散層408の不純物濃度は、 $10^{16} \sim 10^{21} \text{ atoms/cm}^3$ 程度となる濃度であり、この時の状態断面図を図8(a)に示す。

【0054】次に、LPCVD法により、層間絶縁膜のシリコン酸化膜404を全面に形成する。次いで、図示しないN型拡散層に達する接地コンタクトホールをレジストマスクを用いて層間絶縁膜に開口し、スパッタリング法により、全面にタングステンシリサイド膜を堆積させる。次に、このタングステンシリサイド膜の所定の領域に開口部が形成され、接地コンタクトホールを介してN型拡散層に接続する接地線421を形成する。

【0055】その後、LPCVD法により、平坦な表面を有する酸化シリコンからなる層間絶縁膜415を全面に堆積する。このときの状態断面図を図8(b)に示す。

【0056】次に、図8(c)に示すように、層間絶縁膜404、415を貫通して、それぞれゲート電極403に達するコンタクトホール422を形成する。このコンタクトホールは、図示しないレジストをマスクとして

ドライエッチング処理により開口することができる。

【0057】続いて、LPCVD法により、全面に多結晶シリコン膜を形成し、イオン注入により $10^{16} \sim 10^{19} \text{ atoms/cm}^3$ のN型不純物である砒素をドーピングする。但し、この場合、不純物はP型不純物であってもよい。次いで、得られた多結晶シリコン膜は、レジストをマスクとしてドライエッチング処理することによりパターンニングされ、ゲート電極423を形成する。このときの状態断面図を図9(d)に示す。

【0058】次いで、これらのゲート電極423は、コンタクトホール422を介して、それぞれ上記ゲート電極403に接続される。次に、LPCVD法により、酸化シリコン膜からなるゲート絶縁膜426を全面に形成する。この時の成膜は、例えば、800℃でシランガスとN₂Oガスを混合した雰囲気で行うことができる。この雰囲気中で堆積した膜は段差被覆性に優れるため、本実施形態ではシリコン酸化膜をゲート絶縁膜として用いるが、酸化膜と窒化膜の積層膜(所謂、ONO膜)でもよい。

【0059】次に、概ねコンタクトホール422の位置に開口部を有する図示しないフォトリソレジスト膜をマスクにしてゲート絶縁膜426を異方性ドライエッチングにより、ゲート電極423にコンタクトホール424を形成する。この異方性ドライエッチングは、オーバーエッチング気味に行うことが好ましい。これは、例えば、コンタクトホール422の側壁部分を覆うゲート電極423の表面に、ゲート絶縁膜426がサイドウォールスパーサー的に残置するのをできるだけ回避するためである。

【0060】尚、これらのコンタクトホール422を形成するエッチングとしては、等方性エッチングは好ましくない。等方性エッチングでこれらのコンタクトホールを形成すると、オーバーエッチングによりこれらのコンタクトホールでは、ゲート電極等からはみ出す部分が生じ、後工程で行う多結晶シリコン膜のエッチングに支障を来すことになるからである。

【0061】また、ゲート電極423を構成する材料としては、多結晶シリコン膜が好ましい。これらゲート電極423がシリサイド膜、ポリサイド膜あるいは高融点金属膜等から構成されるならば、ゲート絶縁膜426とこれらとが直接接触する部分が存在することになり、ゲート絶縁膜の信頼性が低下する。

【0062】次に、上記フォトリソレジスト膜をアッシングにより除去した後、酸洗浄を行う。次いで、ゲート電極423表面を70℃の温純水に全体を10分間浸すことにより、ゲート電極表面の砒素の含有率を低下させる。この操作により、後工程でHSG-Siを形成する際、微結晶を安定して形成することが可能となる。

【0063】その後、コンタクトホール422の側壁部分を覆うゲート電極423の表面において除去されな

ったゲート絶縁膜426及び自然酸化膜等の除去の為に、ゲート絶縁膜426の表面をフッ酸により洗浄する、続いて、LPCVD法により全面に非晶質シリコン膜を550℃で形成する。この非晶質シリコン膜の堆積は、例えば、到達真空度が 1×10^{-3} Torrを有する高真空CVD装置を用いて行うことができる。この成膜は、流量200cc/minのシラン(20%He希釈)ガスをチャンバー内に導入し、0.1 Torrで15nmの膜を堆積させることにより行う。以上の処理により、酸化膜426上に、表面に凹凸を有する非晶質シリコン膜が形成される。

【0064】次いで、得られた多結晶シリコン膜をパターンニングすることにより、多結晶シリコン膜パターン425を形成し、これらの多結晶シリコン膜パターン425は、それぞれコンタクトホール424を介してゲート電極423に接続させる。以上の用にして得られる状態断面図を図9(e)に示す。

【0065】次に、少なくともゲート電極423を覆う部分の多結晶シリコン膜パターン425とゲート電極423とを覆う部分の多結晶シリコン膜パターン425とが覆われたフォトレジスト膜427をマスクにしてホウ素のイオン注入を施す。これにより、多結晶シリコン膜パターン425には、P型拡散領域429が形成され、チャンネル領域が残置される。P型拡散領域429の不純物濃度は、 $10^{18} \sim 10^{19}$ atoms/cm³程度である。特に、P型のトレイン領域であるP型拡散領域429の不純物濃度が 10^{19} atoms/cm³以上になると、これらを含んだ負荷用PチャネルTFTのリーク電流が増加する。従って、不純物濃度の制御が重要となる。このときのデバイスの状態断面図を図10(f)に示す。

【0066】次いで、上記フォトレジスト膜427を除去したのち、平坦な表面を有する層間絶縁膜430を全面に形成し、N型拡散層429に達するビットコンタクトホール431を図示しないレジストをマスクにしてドライエッチングにより開孔する。続いて、N型拡散層429に接続される付をなすビット線432を形成する。以上の様にして得られるデバイスの断面図を図10(g)に示す。

【0067】その後は、公知の方法に従い、所定の後工程を経て、SRAMの負荷用トランジスタを製造することができる。以上の様にして製造されるSRAMは、その電極にHSG-Siを有しているため、電荷蓄積容量が大きい信頼性の高いものである。

【0068】以上、本発明をいくつかの実施形態に基づいて説明したが、本発明は上述の実施形態に限定されるものではなく、温純水の温度、温純水にウエハを浸す時間等のプロセス条件は、本発明の主旨を逸脱しない範囲で適宜選択することができる。

【0069】以上説明したように、本発明の半導体装置

の製造方法は、半導体装置の製造、特に、DRAM、SRAM等の半導体記憶装置の下部電極形成方法として、広く適用することができる。

【0070】

【発明の効果】以上説明したように、本発明は、半導体装置の製造、特に半導体装置の電極に用いられるHSG-Si形成方法において、リン、砒素等の不純物がドーパされた非晶質シリコン表面を、純水、好ましくは温純水で処理し、非晶質シリコン表面上の不純物濃度を事前に低下させることによって、該非晶質シリコン表面上に安定して微結晶を形成させることができる。

【0071】従って、本発明の半導体装置の製造方法によれば、DRAM等半導体装置のキャパシタの蓄積電荷量が増大、安定化し、歩留りの向上及び信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】図1は、本発明により製造されるDRAMの構造断面図である。

【図2】図2は、本発明の半導体装置の製造方法において、HSG-Siを形成する工程図である。

【図3】図3は、シランガス照射によるHSG-Si形成機構を説明する概念図である。

【図4】図4は、シランガス照射によるHSG-Si形成機構を説明する概念図である。

【図5】図5は、第1実施形態のDRAMの製造工程における主な工程の状態断面図である。(a)は、基板上に素子分離領域を形成したのち、ゲート酸化膜とゲート電極を形成した後、層間絶縁膜を形成した図であり、

(b)は、(a)に示す状態から、コンタクトホールを開孔し、ビット線を形成した図であり、(c)は、

(b)に示す状態から、シリコン酸化膜を堆積させた後、コンタクトホールを開孔し、ストレージ様非晶質シリコン電極を形成した図である。

【図6】図6は、第1実施形態のDRAMの製造工程における主な工程の状態断面図である。(d)は、図5(c)に示す状態から、電極表面を洗浄後、温純水で処理し、アニールを施すことによりHSG-Siを形成した図であり、(e)は、(d)に示す状態から誘電体膜219を形成し、セルプレート電極層を形成した図である。

【図7】図7は、第2実施形態のシリンドリカル形状の電極を有するDRAMの製造工程における主な工程の状態断面図である。(a)は、半導体基板上に素子分離領域を形成後、ゲート酸化膜、ゲート電極、ビット線を形成した後、上部に絶縁膜が形成された非晶質シリコン層を形成した図であり、(b)は、(a)に示す状態から、リンドーパ非晶質シリコンを堆積させ、エッチバックした後、絶縁膜を除去して、シリンドリカル形状の非晶質シリコン電極層を形成した図であり、(c)は、(b)に示す状態から、誘電体膜を形成し、セルプレート電極層を形成

13

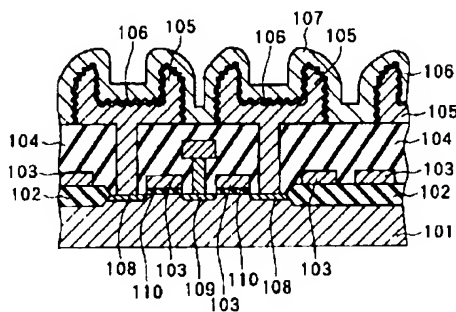
した図である

【図8】図8は、第3実施形態のSRAMの負荷用トランジスタの製造工程における主な工程の状態断面図である。(a)は、半導体基板上に素子分離領域を形成し、ゲート絶縁膜とゲート電極、およびN型拡散層を形成した図であり、(b)は、(a)に示す状態から、層間絶縁膜、接地線および第2の層間絶縁膜を形成した図であり、(c)は、(b)に示す状態から、コンタクトホールを開孔した図である。

【図9】図9は、第3実施形態のSRAMの負荷用トランジスタの製造工程における主な工程の状態断面図である。(d)は、図8(c)に示す状態から、ゲート電極を形成した図であり、(e)は、(d)に示す状態から、ゲート絶縁膜を形成し、非晶質シリコン膜を形成した図である。

【図10】図10は、第3実施形態のSRAMの負荷用トランジスタの製造工程における主な工程の状態断面図である。(f)は、図9(e)に示す状態から、レジスト膜を成膜後、所定のパターニングを行い、ボロンのイオン注入を行うことによってN型拡散層を形成する図であり、(g)は、(f)に示す状態からレジスト膜を除去し、層間絶縁膜を形成し、ビットコンタクト孔を開孔し、ビット線を形成した図である。

【図1】



14

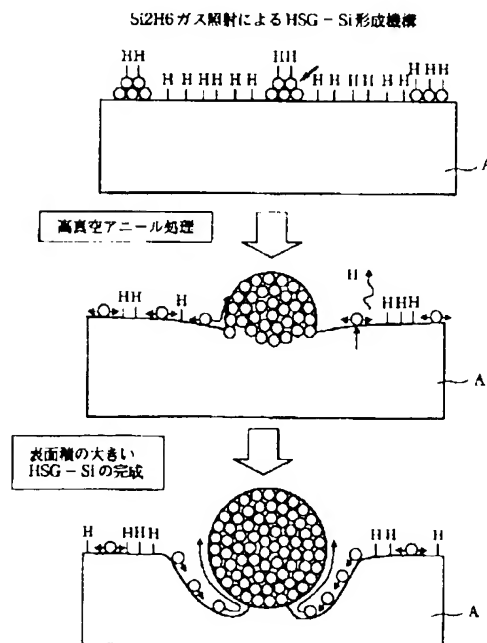
【図11】図11は、従来のHSG-Si形成の工程図である。

【図12】図12は、シランガス照射時間と電極の容量増加率との関係を示す図である。

【符号の説明】

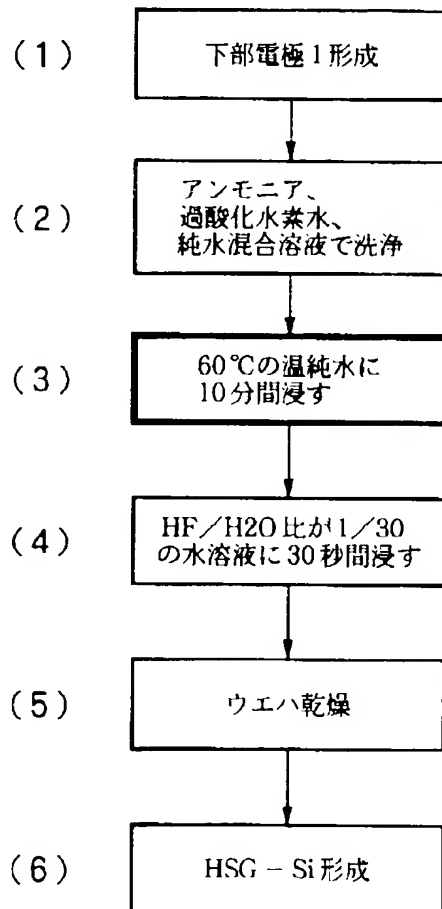
101, 201, 301, 401…シリコン半導体基板、102, 202, 302, 402…フィールド酸化膜、103, 203, 303, 403, 423, 425…ゲート電極、104, 404, 415, 430…層間絶縁膜、105…下部電極、106, 219, 319…誘電体膜、107…上部電極、109, 209, 309…共通領域、110, 210, 410, 426…ゲート絶縁膜、204…BPSG膜、208, 308…不純物領域、211, 216, 311, 408, 411, 422, 424, 428, 431…コンタクトホール、212, 312…ポリシリコン層、213, 313…金属シリサイド層、214, 314, 432…ビット線、215, 315, 321…絶縁膜、217, 318, 423…非晶質シリコン電極、218, 318…HSG-Si、220, 320…セルプレート電極層、317, B…リンがドーパされた非晶質シリコン膜、408…N型拡散層、421…接地線、427…フォトレジスト膜、425, 429…P型拡散層、A…非晶質シリコン膜

【図3】



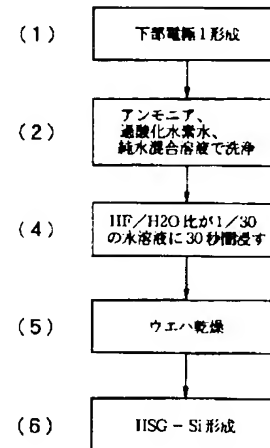
【図2】

本発明の工程図

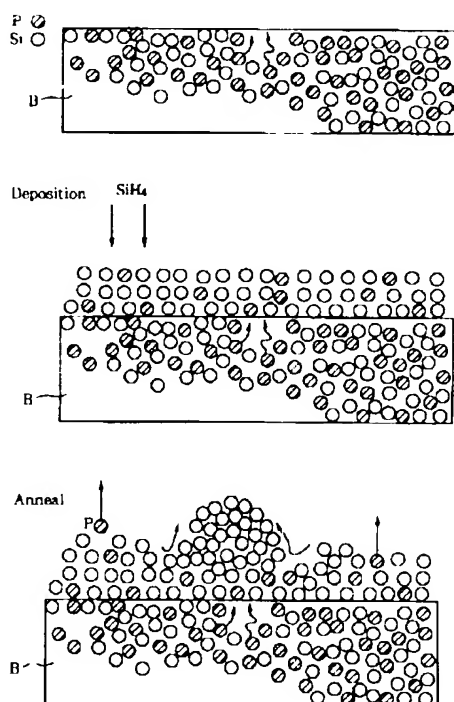


【図11】

従来の工程図

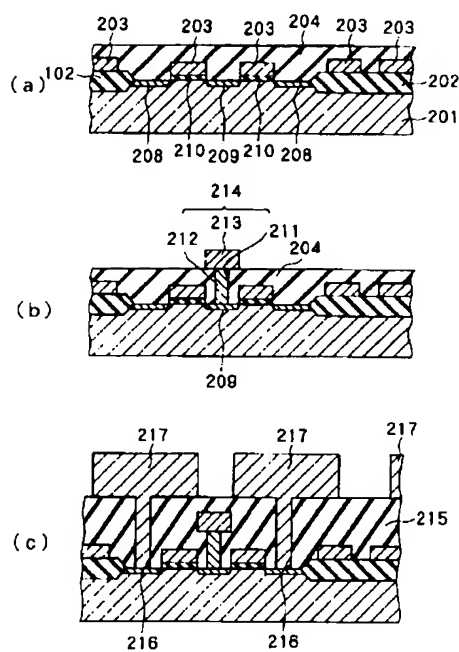


【図4】

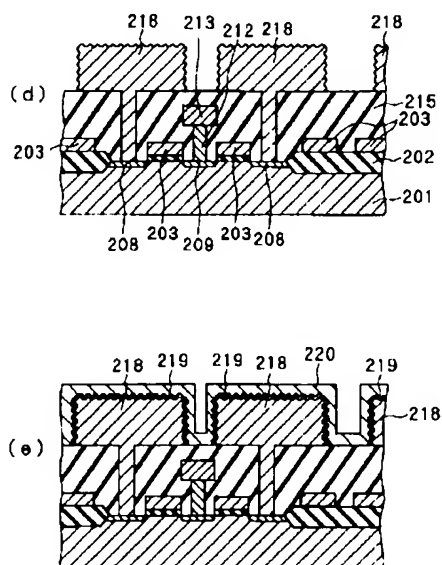


PDAS膜上に SiH_4 ガス照射によりHSG-Siを形成するときの成長機構

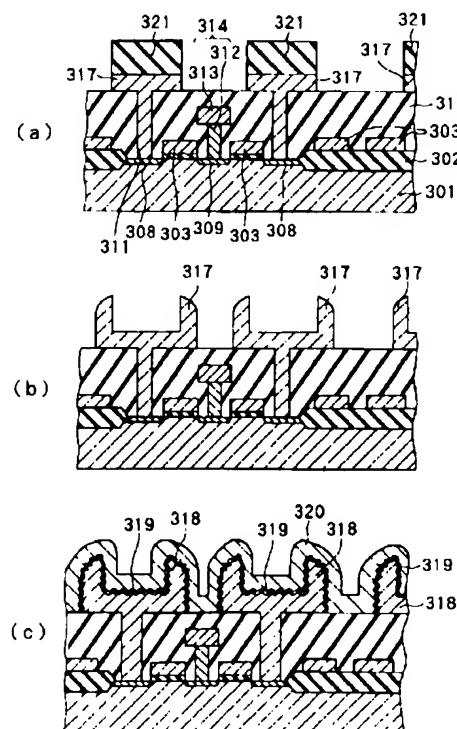
【図5】



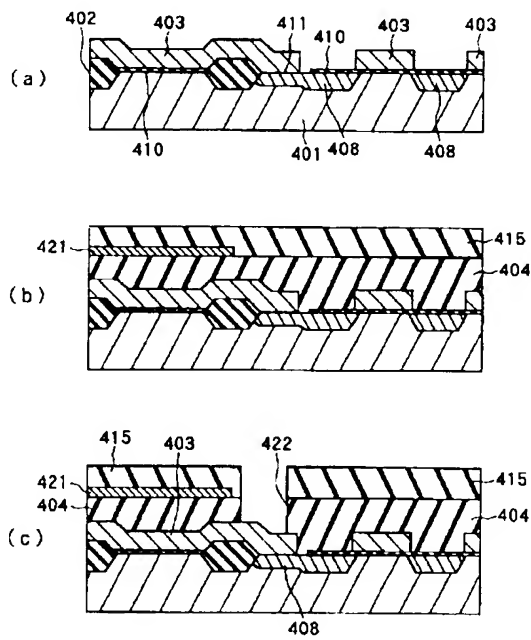
【図6】



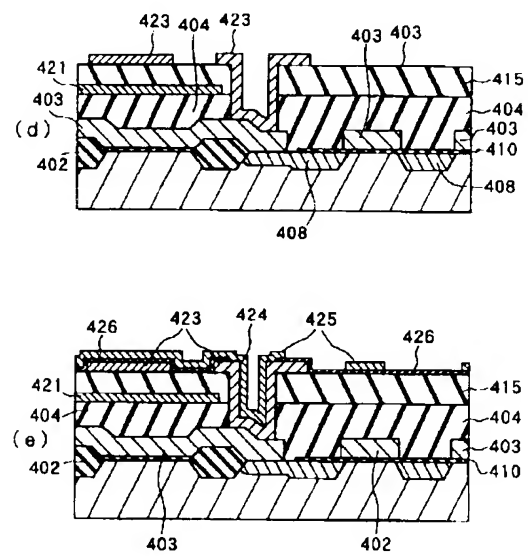
【図7】



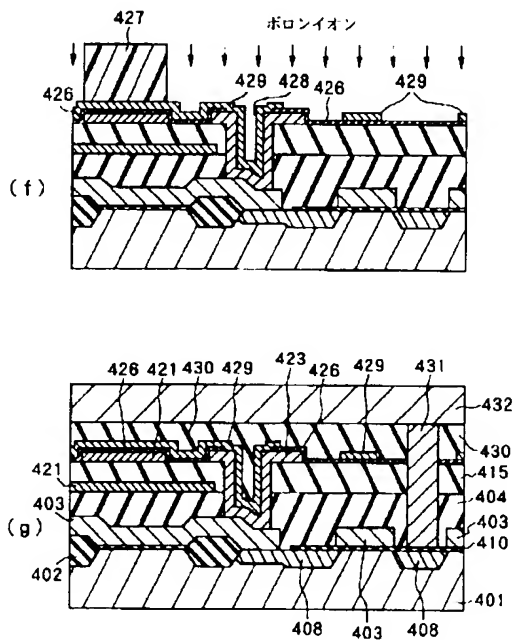
【図8】



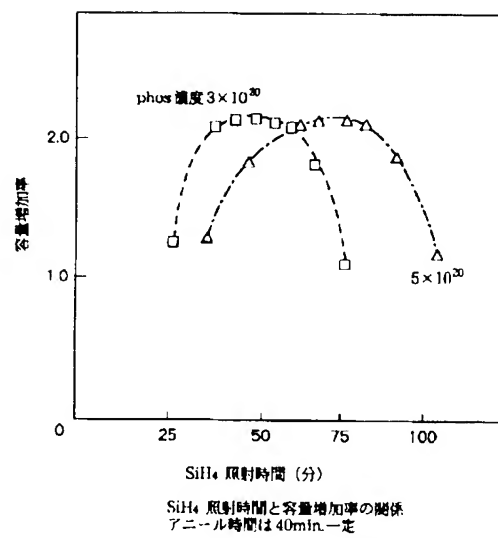
【図9】



【図10】



【図12】



(12)

特開平11-274097

フロントページの続き

(51)Int. Cl.⁸

識別記号

F I

H 0 1 L 21/8242